

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-78094
(P2003-78094A)

(43) 公開日 平成15年3月14日 (2003.3.14)

(51) Int.Cl.⁷

H 0 1 L 23/50

識別記号

F I

H 0 1 L 23/50

テ-マ-ド (参考)

B 5 F 0 6 7

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願2001-262876 (P2001-262876)

(22) 出願日 平成13年8月31日 (2001.8.31)

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 阿部 安芸信

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

Fターム (参考) 5F067 AA01 AA10 AB04 AB07 BA03

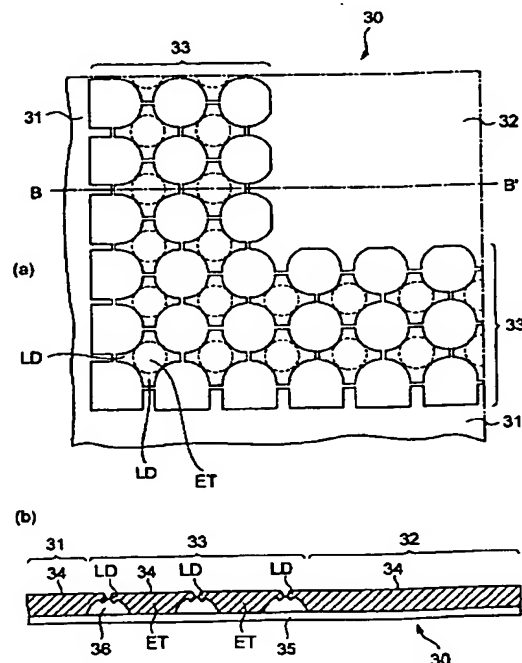
CC01 CC08 DA16 DA17 DA18

(54) 【発明の名称】 リードフレーム及びその製造方法並びに該リードフレームを用いた半導体装置の製造方法

(57) 【要約】

【課題】 QFN (Quad Flat Non-leaded package) に使用されるリードフレームにおいて、多端子化を図ることを目的とする。

【解決手段】 リードフレーム30は、フレーム部31によって規定される開口部の中央部に配置されたダイパッド部32及びその周囲に配置されたリード部33を有する。フレーム部31、ダイパッド部32及びリード部33を接着テープ35によって支持すると共に、リード部33を、ダイパッド部32とフレーム部31の間の領域においてそれぞれリードLDの一部分からなる複数の外部接続端子ETが格子状に配列された形態を有するように構成する。



【特許請求の範囲】

【請求項 1】 フレーム部によって規定される開口部の中央部に配置されたダイパッド部及びその周囲に配置されたリード部を有し、

前記フレーム部、前記ダイパッド部及び前記リード部が接着テープによって支持されていると共に、

前記リード部が、前記ダイパッド部と前記フレーム部の間の領域においてそれぞれリードの一部分からなる複数の外部接続端子が格子状に配列された形態を有していることを特徴とするリードフレーム。

【請求項 2】 前記ダイパッド部と前記フレーム部の間の領域において複数のリードが互いに直交する方向に不連続的に配列され、前記複数の外部接続端子の各々が、各リードの交差部において当該リードの一部分から形成されていることを特徴とする請求項 1 に記載のリードフレーム。

【請求項 3】 前記ダイパッド部と前記フレーム部の間の領域において複数のリードが互いに平行する方向に不連続的に配列され、前記複数の外部接続端子の各々が、各リードに沿って当該リードの一部分から形成されていることを特徴とする請求項 1 に記載のリードフレーム。

【請求項 4】 金属板をバターンニング加工して、搭載する各半導体素子毎にそれぞれダイパッド部とフレーム部の間の領域において両者を連結するように複数のリードが互いに直交する方向に配列された単位基板フレームが複数個連結された基板フレームを形成する工程と、前記基板フレームの一方の面の、各リードが交差している部分と前記ダイパッド部及び前記フレーム部とを除いた部分に、ハーフエッチングにより凹部を形成する工程と、前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、前記各リードの前記凹部が形成されている部分を切断する工程とを含むことを特徴とするリードフレームの製造方法。

【請求項 5】 前記基板フレームを形成する工程及び前記凹部を形成する工程に代えて、金属板の両面にそれぞれ所要の形状にバターンニングされた第 1 及び第 2 のレジストを形成する工程と、前記第 1 及び第 2 のレジストをマスクにしてエッチングを行い、搭載する各半導体素子毎にそれぞれダイパッド部とフレーム部の間の領域において両者を連結するように複数のリードが互いに直交する方向に配列された単位基板フレームが複数個連結された基板フレームを形成し、且つ、該基板フレームの一方の面の、各リードが交差している部分と前記ダイパッド部及び前記フレーム部とを除いた部分に凹部を形成する工程と、前記第 1 及び第 2 のレジストを剥離する工程とを含むことを特徴とする請求項 4 に記載のリードフレームの製造方法。

【請求項 6】 金属板をバターンニング加工して、搭載する各半導体素子毎にそれぞれダイパッド部とフレーム部の間の領域において両者を連結するように複数のリードが互いに平行する方向に配列された単位基板フレームが複数個連結された基板フレームを形成する工程と、前記基板フレームの一方の面の、各リードの所定部分と前記ダイパッド部及び前記フレーム部とを除いた部分に、ハーフエッチングにより凹部を形成する工程と、前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、前記各リードの前記凹部が形成されている部分を切断する工程とを含むことを特徴とするリードフレームの製造方法。

【請求項 7】 前記基板フレームを形成する工程及び前記凹部を形成する工程に代えて、金属板の両面にそれぞれ所要の形状にバターンニングされた第 1 及び第 2 のレジストを形成する工程と、前記第 1 及び第 2 のレジストをマスクにしてエッチングを行い、搭載する各半導体素子毎にそれぞれダイパッド部とフレーム部の間の領域において両者を連結するように複数のリードが互いに平行する方向に配列された単位基板フレームが複数個連結された基板フレームを形成し、且つ、該基板フレームの一方の面の、各リードの所定部分と前記ダイパッド部及び前記フレーム部とを除いた部分に凹部を形成する工程と、前記第 1 及び第 2 のレジストを剥離する工程とを含むことを特徴とする請求項 6 に記載のリードフレームの製造方法。

【請求項 8】 前記各リードの前記凹部が形成されている部分を切断する工程は、該凹部が形成されている全ての部分の中から選択した部分について当該部分を切断しないで繋いだ状態にしておく工程を含むことを特徴とする請求項 4 から 7 のいずれか一項に記載のリードフレームの製造方法。

【請求項 9】 請求項 1 に記載のリードフレームを用いた半導体装置の製造方法であって、前記リードフレームの各ダイパッド部上にそれぞれ半導体素子を搭載する工程と、前記各半導体素子の電極と前記リードフレームの対応するリード部を構成する複数の外部接続端子のうち所要数の外部接続端子とをそれぞれボンディングワイヤにより電気的に接続する工程と、前記各半導体素子、前記各ボンディングワイヤ及び前記各リード部を封止樹脂により封止する工程と、前記接着テープを剥離する工程と、前記各半導体素子が搭載されたリードフレームをそれぞれ 1 個の半導体素子が含まれるように各半導体装置に分割する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 10】 前記封止樹脂による封止は、リードフ

レームの半導体素子が搭載されている側の全面に対し樹脂封止を行う一括モルディング方式、又は各半導体素子毎に個別に樹脂封止を行う個別モルディング方式により行うことを特徴とする請求項9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子を実装するパッケージの基板として用いられるリードフレームに係り、特に、QFN (Quad Flat Non-leaded package) に使用され、多端子化に適応されたリード形状を有するリードフレーム及びその製造方法並びに該リードフレームを用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】図1は従来の一形態に係るリードフレーム及びこれを用いた半導体装置の構成を模式的に示したものである。

【0003】図1(a)は、リードフレームを平面的に見た構成を示している。図示のように、帯状のリードフレーム10は、平行に延在する1対の外枠11と、この1対の外枠11と直交する方向に当該外枠と連結する1対の内枠12とによって形成された枠構造(フレーム部)を有している。外枠11には、リードフレーム10を搬送する際に搬送機構に係合されるガイド孔13が設けられている。フレーム部11、12によって規定される開口部の中央部には、半導体素子が搭載される四角形のダイパッド部14が配置されており、このダイパッド部14は、フレーム部11、12の四隅から延在する4本のサポートバー15によって支持されている。また、フレーム部11、12からダイパッド部14に向かって複数のリード16が櫛歯状に延在している。各リード16は、半導体素子の電極に電気的に接続されるインナーリード部16aと、実装用基板の配線に電気的に接続されるアウターリード部(外部接続端子)16bとからなっている。

【0004】図1(b)は、上記のリードフレーム10を用いて作製されたQFNのパッケージ構造を有する半導体装置の断面構造を示している。図示の半導体装置20において、21はダイパッド部14上に搭載された半導体素子、22は半導体素子21の電極をインナーリード部16aに接続するボンディングワイヤ、23は半導体素子21、ボンディングワイヤ22等を保護するための封止樹脂を示す。

【0005】かかる半導体装置20(QFNパッケージ)を作製する場合、その基本的なプロセスとして、リードフレーム10のダイパッド部14に半導体素子21を搭載する処理(ダイ・ボンディング)、半導体素子21の電極とリードフレーム10のインナーリード部16aとをボンディングワイヤ22により電気的に接続する処理(ワイヤ・ボンディング)、半導体素子21、ボン

ディングワイヤ22等を封止樹脂23により封止する処理(モルディング)、リードフレーム10を各パッケージ(半導体装置20)単位に分割する処理(ダイシング)等を含む。

【0006】ワイヤ・ボンディングを行う際には、図1(c)に模式的に示すように、各インナーリード部16aと半導体素子21上の各電極21aとが1対1の対応関係をもってそれぞれボンディングワイヤ22により接続される。

10 【0007】

【発明が解決しようとする課題】上述したように従来のリードフレーム(図1)の構成によれば、そのリード形状は、外部接続端子に相当する各リード16がフレーム部11、12からダイパッド部14に向かって櫛歯状に延在した形態となっていたため、更に端子数を増やそうとすると、各リードのリード幅及びその配設間隔を共に狭くするか、或いは、各リードのサイズ等はそのままにしてリードフレームのサイズを大きくする必要がある。

20 【0008】しかし、各リードのリード幅等を狭くする方法は、技術的な面(リードフレームのバターンニングを行うためのエッチングやプレス等)で困難を伴い、一方、リードフレームのサイズを大きくする方法では、その材料コストが増大するといった不利がある。

【0009】つまり、従来のようにフレーム部からダイパッド部に向かってリード(外部接続端子に相当)が櫛歯状に延在している形態のリードフレームでは、多端子化を図ろうとしても、必ずしもその要求に満足にできることができないといった課題があった。

30 【0010】本発明は、かかる従来技術における課題に鑑み創作されたもので、多端子化を図ることができるリードフレーム及びその製造方法並びに該リードフレームを用いた半導体装置の製造方法を提供することを目的とする。

【0011】

40 【課題を解決するための手段】上述した従来技術の課題を解決するため、本発明の一形態によれば、フレーム部によって規定される開口部の中央部に配置されたダイパッド部及びその周囲に配置されたリード部を有し、前記フレーム部、前記ダイパッド部及び前記リード部が接着テープによって支持されていると共に、前記リード部が、前記ダイパッド部と前記フレーム部の間の領域においてそれぞれリードの一部分からなる複数の外部接続端子が格子状に配列された形態を有していることを特徴とするリードフレームが提供される。

50 【0012】この形態に係るリードフレームによれば、ダイパッド部とフレーム部の間の領域に、リード部として複数の外部接続端子が格子状に配列されているので、従来のようにフレーム部からダイパッド部に向かってリード(外部接続端子に相当)が櫛歯状に延在している形態のものとは比べて、相対的に端子数を増やすことができ

る(多端子化の実現)。

【0013】また、本発明の他の形態によれば、金属板をパターンニング加工して、搭載する各半導体素子毎にそれぞれダイパッド部とフレーム部の間の領域において両者を連結するように複数のリードが互いに直交する方向に配列された単位基板フレームが複数個連結された基板フレームを形成する工程と、前記基板フレームの一方の面の、各リードが交差している部分と前記ダイパッド部及び前記フレーム部とを除いた部分に、ハーフエッチングにより凹部を形成する工程と、前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、前記各リードの前記凹部が形成されている部分を切断する工程とを含むことを特徴とするリードフレームの製造方法が提供される。

【0014】この形態に係るリードフレームの製造方法によれば、最終的に各リードの凹部が形成されている部分を切断することにより、各リードが互いに直交する方向に不連続的に配列された構造が形成される。従って、各リードの交差部において当該リードの一部分を外部接続端子として利用することで、ダイパッド部とフレーム部の間の領域に複数の外部接続端子が格子状に配列された形態が実現される。これによって、多端子化を図ることが可能となる。

【0015】本発明のさらに他の形態によれば、上記のリードフレームを用いた半導体装置の製造方法であって、前記リードフレームの各ダイパッド部上にそれぞれ半導体素子を搭載する工程と、前記各半導体素子の電極と前記リードフレームの対応するリード部を構成する複数の外部接続端子のうち所要数の外部接続端子とをそれぞれボンディングワイヤにより電気的に接続する工程と、前記各半導体素子、前記各ボンディングワイヤ及び前記各リード部を封止樹脂により封止する工程と、前記接着テープを剥離する工程と、前記各半導体素子が搭載されたリードフレームをそれぞれ1個の半導体素子が含まれるように各半導体装置に分割する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0016】

【発明の実施の形態】図2は本発明の一実施形態に係るリードフレームの構成を模式的に示したものである。図中、(a)はリードフレームの一部分(図示の例では1/4の部分)を平面的に見た構成、(b)は(a)のB-B'線に沿って見た断面構造を示している。

【0017】図2において、30はQFNの基板として用いられるリードフレーム、31はフレーム部、32はフレーム部31によって規定される開口部の中央部に配置された、半導体素子搭載用のダイパッド部、33はフレーム部31とダイパッド部32の間の領域に配置されたリード部、34はフレーム部31、ダイパッド部32及びリード部33の表面に形成された金属膜、35はフレーム部31、ダイパッド部32及びリード部33を支

持する接着テープを示す。また、36は後述するようにハーフエッチングにより形成された凹部を示す。

【0018】フレーム部31とダイパッド部32の間の領域に配置されたリード部33において、複数のリードLDが、互いに直交する方向に(つまり格子状に)、且つ不連続的に配列されている。互いに独立して配置された各リードLDが互いに交差している部分(破線で囲んだ部分)は、外部接続端子ETを構成する。つまり、リード部33は、ダイパッド部32とフレーム部31の間の領域においてそれぞれリードLDの一部分からなる複数の外部接続端子ETが格子状に配列された形態を有している。

【0019】なお、図2(a)の例示では、各リードLDが互いに交差している部分(外部接続端子ET)は、リード幅よりも大きめのサイズで形成されているが、これはエッチング等による金属板のパターンニング加工により容易に形成することができる。このように各リードLDの交差部分を大きめに形成することで、後の段階で行うパッケージのアセンブリ工程においてワイヤ・ボンディング処理が行い易くなる。

【0020】次に、本実施形態に係るリードフレーム30を製造する方法について、その製造工程の一例を順に示す図3及び図4を参照しながら説明する。

【0021】先ず最初の工程では(図3参照)、金属板をエッチング又はプレスによりパターンニング加工して基板フレームBFMを形成する。

【0022】形成されるべき基板フレームBFMは、図3の上側に概略的に示すように、搭載する各半導体素子毎にそれぞれ割り当てられた単位基板フレームUFMが複数個連結された構造を有している。各々の単位基板フレームUFMにおいては、その1/4の部分(ハッチングで示す部分)として図3の下側に模式的に示すように、ダイパッド部32とフレーム部31を相互に連結するように複数のリードLDが互いに直交する方向に連続的に配列されている。

【0023】なお、金属板の材料としては、例えば、銅(Cu)又はCuをベースにした合金、鉄-ニッケル(Fe-Ni)又はFe-Niをベースにした合金等が用いられる。また、金属板(基板フレームBFM)の厚さとしては、200 μ m程度のものが選定される。

【0024】次の工程では(図4(a)参照)、基板フレームBFMの一方の面(図示の例では下側に示す断面構成において下側の面)の所定部分に、ハーフエッチングにより凹部36を形成する。

【0025】この凹部36を形成する部分(所定部分)は、上側に示す平面構成においてハッチングで示した部分(各リードLDが交差している部分、ダイパッド部32及びフレーム部31)を除いた部分に選定される。

【0026】なお、ハーフエッチングは、その所定部分の領域を除いた基板フレームBFMの全面をマスク(図

示せず)で覆った後、例えばウェットエッチングにより行うことができる。また、凹部36は、160 μ m程度の深さに形成される。

【0027】次の工程では(図4(b)参照)、凹部36が形成された基板フレームBFMの全面に、電解めっきにより金属膜34を形成する。

【0028】例えば、基板フレームBFMを給電層として、その表面に密着性向上のためのニッケル(Ni)めっきを施した後、このNi層上に導電性向上のためのパラジウム(Pd)めっきを施し、さらにPd層上に金(Au)フラッシュを施して金属膜(Ni/Pd/Au)34を形成する。

【0029】次の工程では(図4(c)参照)、基板フレームBFMの凹部36が形成されている側の面(図示の例では下側の面)に、エポキシ樹脂やポリイミド樹脂等からなる接着テープ35を貼り付ける(テーピング)。

【0030】このテーピングは、基本的には、後の段階で行うパッケージのアセンブリ工程においてモールドイングの際に不要な樹脂被膜(モールドフラッシュ)が形成されるのを防止するための対策として行われる。

【0031】さらに、この接着テープ35は、ダイパッド部32及びフレーム部31を支持すると共に、後の工程でリードLDの所定部分を切断したときに分離される個々のリードLDが脱落しないように支持する機能を有している。

【0032】最後の工程では(図4(d)参照)、各リードLDの凹部36が形成されている部分を、例えば、金型(ボンチ)を用いて押し抜くようにして、破断(切断)する。これによって、本実施形態に係るリードフレーム30(図2)が作製されたことになる。

【0033】以上説明したように、本実施形態に係るリードフレーム30及びその製造方法によれば、ダイパッド部32とフレーム部31の間の領域に配置されたリード部33において、それぞれリードLDの一部分からなる複数の外部接続端子ETが格子状に配列されているので、従来のリードフレーム(図1)のようにフレーム部からダイパッド部に向かってリード(外部接続端子に相当)が歯状に延在している形態のものとは比べて、相対的に端子数を増やすこと(多端子化)が可能となる。

【0034】また、当該技術の動向に伴って半導体素子のサイズが小型化し、それに応じてダイパッド部が小さくなった場合、従来の形態(図1)では、インナーリード部16aがフレーム部11、12側に配置されていたため、このインナーリード部16aとダイパッド部14上の半導体素子21を接続するボンディングワイヤ22の長さが相対的に長くなりコスト的に不利であったが、本実施形態(図2)では、ダイパッド部32が小さくなることによってできたスペース(すなわちダイパッド部32側)に容易に端子ETを増やすことが可能である

(更なる多端子化の実現)。

【0035】従って、このダイパッド部32側の端子と半導体素子との間にボンディングワイヤを配線すれば十分であるので、従来の形態に比べてボンディングワイヤの長さを短縮することができ、コストの低減化に寄与する。

【0036】また、従来の形態(図1)ではダイパッド部14を支持するサポートバー15が必要であったが、本実施形態(図2)ではかかるサポートバーが不要となるため、従来のサポートバー15が占有していたスペースに端子ETを設けることが可能である。これは、更なる多端子化に寄与する。

【0037】さらに、本実施形態(図2)では各リードLDの凹部36が形成されている全ての部分を切断しているが、必要に応じて当該部分を選択的に切断しないことにより、例えば、図4(c)に示したような形態とする(つまり、ダイパッド部32側の端子とフレーム部31側の端子の間の凹部36が形成されている部分を切断しないで両者間を繋いだ状態にしておく)ことにより、このダイパッド部32側の端子と半導体素子との間に短いボンディングワイヤを施すことでパッケージライン付近(フレーム部31側)の端子を使用することが可能となる。これは、コストの低減化に寄与する。

【0038】上述した実施形態に係るリードフレーム30の製造方法においては、基板フレームBFMの形成(図3)と凹部36の形成(図4(a))を別々の工程で行っているが、これらの形成を同じ工程で行うことも可能である。その場合の製造工程の一例を図5に示す。

【0039】図5に例示する方法では、まず、金属板MP(例えば、Cu又はCuをベースにした合金板)の両面にエッチングレジストを塗布し、それぞれ所定の形状にパターニングされたマスク(図示せず)を用いて当該レジストのパターニングを行い、レジストパターンRP1及びRP2を形成する(図5(a))。

【0040】この場合、上側(半導体素子が搭載される側)のレジストパターンRP1については、金属板MPの、各リードLD、ダイパッド部32及びフレーム部31に対応する領域が被覆されるように、当該レジストのパターニングを行う。一方、下側のレジストパターンRP2については、金属板MPの、各リードLDが交差している部分(外部接続端子ETとなる部分)、ダイパッド部32及びフレーム部31に対応する領域が被覆され、且つ、凹部36となる部分に対応する領域が露出するように、当該レジストのパターニングを行う。

【0041】このようにして金属板MPの両面をレジストパターンRP1及びRP2で覆った後、エッチング(例えばウェットエッチング)により、図3の下側に示したようなリードLDのパターンと凹部36を同時に形成する(図5(b))。

【0042】さらに、エッチングレジスト(RP1、R

P2)を剥離して、図4(a)の下側に示したような構造の基板フレームBFMを得る(図5(c))。この後の工程は、図4(b)以降に示した工程と同じである。

【0043】図5に例示する方法によれば、基板フレームBFMの形成と凹部36の形成を1つの工程で行っているため、上述した実施形態(図2～図4)の場合と比べて工程の簡略化を図ることができる。

【0044】図6は上述した実施形態のリードフレーム30を用いて作製されたQFNのパッケージ構造を有する半導体装置の一例を模式的に示したものである。

【0045】図6において、40は半導体装置、41はダイパッド部32上に搭載された半導体素子、42は複数の外部接続端子ETと半導体素子41の各電極とをそれぞれ1対1の対応関係をもって接続するボンディングワイヤ、43は半導体素子41、ボンディングワイヤ42等を保護するための封止樹脂を示す。

【0046】以下、半導体装置40を製造する方法について、その製造工程を示す図7及び図8を参照しながら説明する。

【0047】先ず最初の工程では(図7(a)参照)、リードフレーム30の接着テープ35が貼り付けられている側の面を下にして保持用の治具(図示せず)で保持し、リードフレーム30の各ダイパッド部32上にそれぞれ半導体素子41を搭載する。具体的には、ダイパッド部32にエポキシ系樹脂等の接着剤を塗布し、半導体素子41の裏面(電極が形成されている側と反対側の面)を下にして、接着剤によりダイパッド部32に半導体素子41を接着する。

【0048】なお、図示の例では簡単化のため、1個のダイパッド部32上に1個の半導体素子41が搭載された状態が示されている。

【0049】次の工程では(図7(b)参照)、各半導体素子41の電極とリードフレーム30の対応するリード部33を構成する複数の外部接続端子ETのうち所要数の外部接続端子(図示の例では2個の端子)とをそれぞれボンディングワイヤ42により電気的に接続する。

【0050】このとき、図7(b)の下側に模式的に示すように、各外部接続端子ETと半導体素子41上の各電極41aとが1対1の対応関係をもってそれぞれボンディングワイヤ42により接続される。これによって、半導体素子41がリードフレーム30に実装されたことになる。

【0051】次の工程では(図8(a)参照)、一括モールドニング方式により、リードフレーム30の半導体素子41が搭載されている側の全面を封止樹脂43で封止する。これは、特に図示はしないが、モールドニング金型(1組の上型及び下型)の下型上にリードフレーム30を配置し、上方から上型で挟み込むようにして、封止樹脂を充填しながら加熱及び加圧処理することにより行われる。封止の手法としては、例えばトランスファモ

ールドが用いられる。

【0052】次の工程では(図8(b)参照)、封止樹脂43で封止されたリードフレーム30(図8(a))をモールドニング金型から取り出し、接着テープ35をリードフレーム30から剥離して除去する。

【0053】最後の工程では(図8(c)参照)、ダイサー等により、破線で示すように分割線D-D'に沿ってリードフレームをそれぞれ1個の半導体素子41が含まれるように各パッケージ単位に分割し、半導体装置40(図6)を得る。

【0054】なお、上述した半導体装置40の製造方法では、図8(a)の工程において一括モールドニング方式により樹脂封止を行っているが、この一括モールドニング方式に代えて、各半導体素子41毎に個別に樹脂封止を行う個別モールドニング方式を用いてもよい。

【0055】但し、個別モールドニング方式により樹脂封止を行った場合には、最終的に各パッケージ単位に分割して得られる半導体装置の形状は、図9に例示するような半導体装置40aの形態となる。

【0056】図9に示す半導体装置40aと図6に示す半導体装置40とは、封止樹脂43の断面形状が相違しているのみ(前者は台形状、後者は矩形状)である。他の構成については、両装置40、40a共に同じであるのでその説明は省略する。

【0057】図10は本発明の他の実施形態に係るリードフレーム(1/4の部分)の平面構成を模式的に示したものである。

【0058】本実施形態に係るリードフレーム30aは、フレーム部31aとダイパッド部32aの間の領域に配置されたリード部33aにおいて複数のリードLDaが互いに平行する方向に(つまり一方向に)不連続的に配列され、互いに独立して配置された各リードLDaに沿って当該リードの一部分から形成された外部接続端子ETが設けられている点で、図2の実施形態に係るリードフレーム30と相違するのみである。

【0059】他の構成については、図2の実施形態の場合と同じであるので、その説明は省略する。同様にリードフレーム30aの製造方法についても、基本的には図3及び図4に示した製造工程と同じであるので、その説明は省略する。

【0060】本実施形態(図10)によれば、上述した実施形態(図2～図4)で得られた効果に加え、さらに、リードLDaが一方向にのみ配列されていることにより、最終工程(図4(d))での金型(ポンチ)によるリードの切断を容易に行えるという効果が得られる。

【0061】なお、上述した各実施形態では、サポーターを不要としたリードフレーム30、30aを例にとって説明したが、本発明は、その要旨構成(ダイパッド部とフレーム部の間の領域において複数の外部接続端子を格子状に配列すること)からも明らかのように、サポ

10

20

30

40

50

ートバーの有無にかかわらず、従来のようにサポートバーを備えた形態のリードフレームにも同様に適用することが可能である。

【0062】

【発明の効果】以上説明したように本発明によれば、フレーム部とダイパッド部の間の領域において外部接続端子を格子状配列形態とすることにより、多端子化を図ることが可能となる。

【図面の簡単な説明】

【図1】従来の一形態に係るリードフレーム及びこれを用いた半導体装置の構成を示す図である。

【図2】本発明の一実施形態に係るリードフレームの構成を示す図である。

【図3】図2のリードフレームの製造工程の一例を示す平面図である。

【図4】図3の製造工程に続く製造工程を示す断面図（一部は平面図）である。

【図5】図2のリードフレームの製造工程の他の例を示す断面図である。

【図6】図2のリードフレームを用いた半導体装置の一例を示す断面図である。

【図7】図6の半導体装置の製造工程を示す断面図（一部は平面図）である。

【図8】図7の製造工程に続く製造工程を示す断面図で*

*ある。

【図9】図2のリードフレームを用いた半導体装置の他の例を示す断面図である。

【図10】本発明の他の実施形態に係るリードフレームの構成を示す平面図である。

【符号の説明】

30, 30a...リードフレーム、

31, 31a...フレーム部、

32, 32a...ダイパッド部、

33, 33a...リード部、

34...金属膜、

35...接着テープ、

36...凹部、

40, 40a...半導体装置、

41...半導体素子、

41a...電極、

42...ボンディングワイヤ、

43...封止樹脂、

BFM...基板フレーム、

ET...外部接続端子、

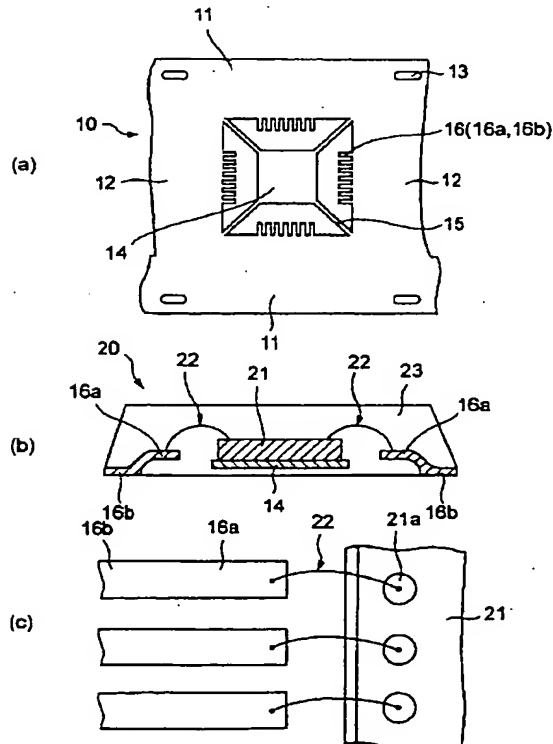
LD, LDa...リード、

MP...金属板、

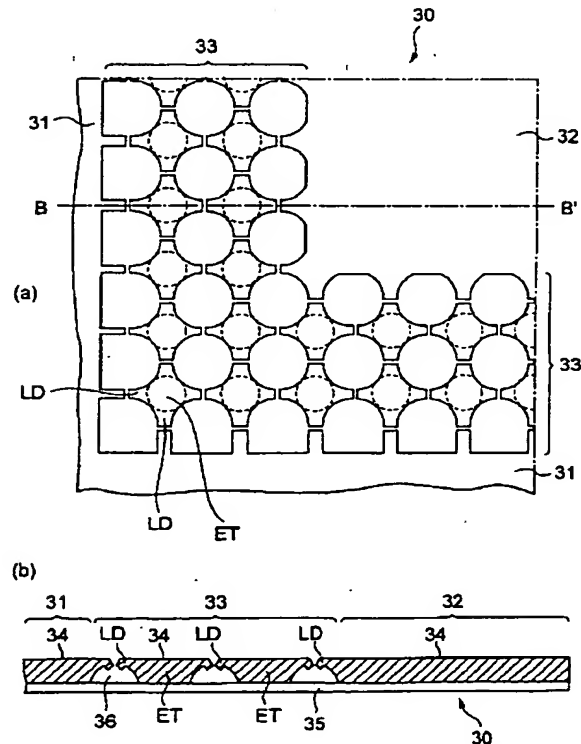
RP1, RP2...レジストパターン、

UFM...単位基板フレーム。

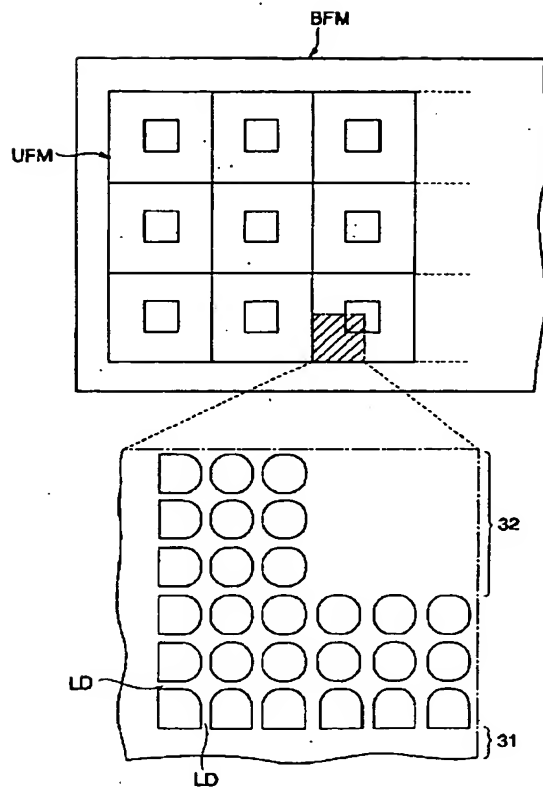
【図1】



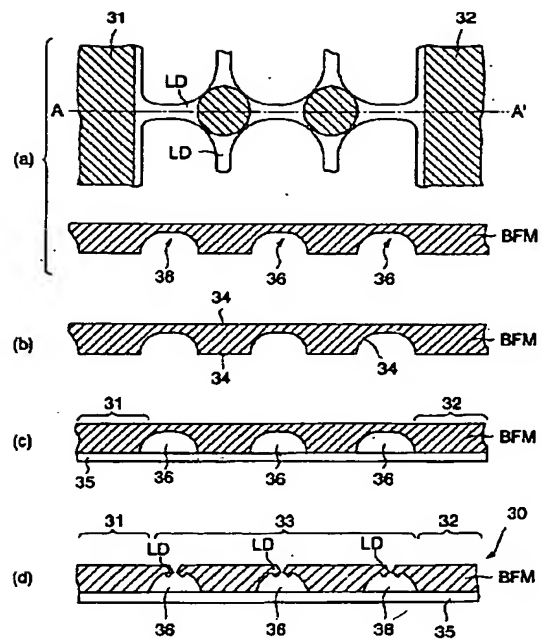
【図2】



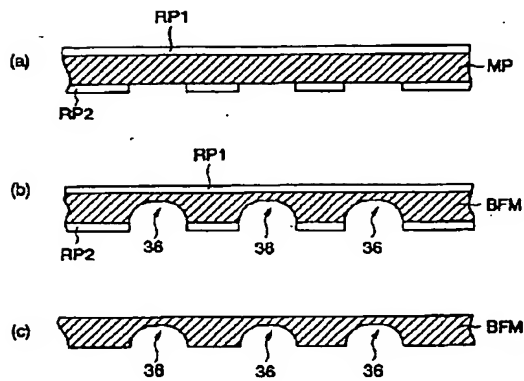
【図3】



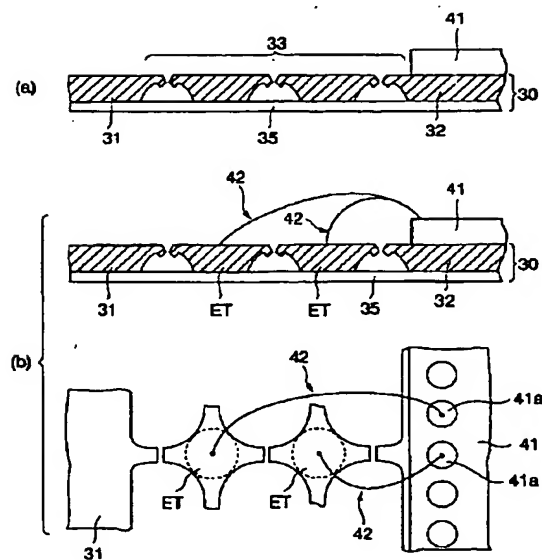
【図4】



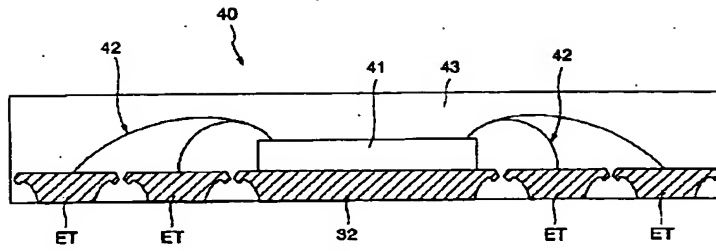
【図5】



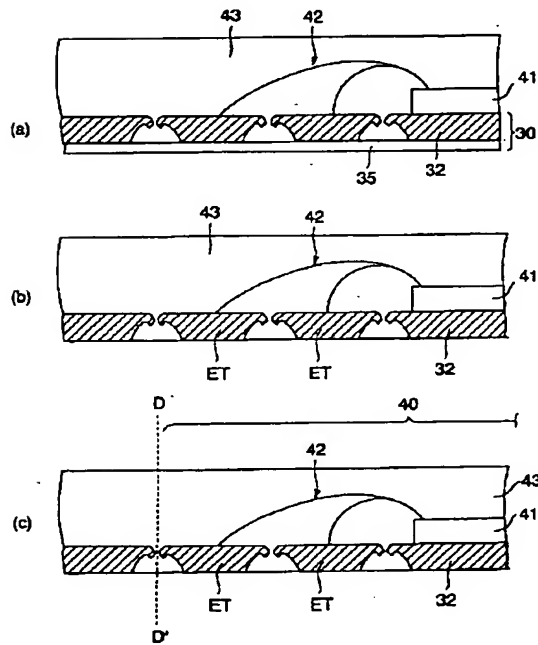
【図7】



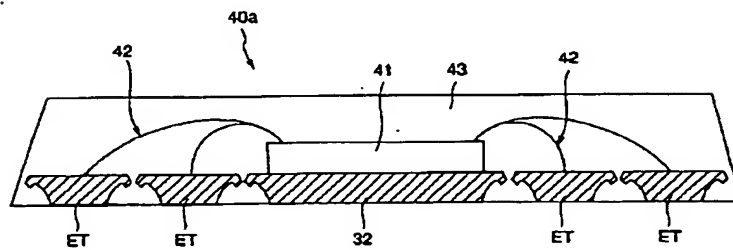
【図6】



【図8】



【図9】



【図10】

